

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2589209号

(45) 発行日 平成9年(1997)3月12日

(24) 登録日 平成8年(1996)12月5日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/762			H 0 1 L 21/76	D

請求項の数 1 (全 4 頁)

(21) 出願番号	特願平2-258337
(22) 出願日	平成2年(1990)9月27日
(65) 公開番号	特開平4-134844
(43) 公開日	平成4年(1992)5月8日

(73) 特許権者	999999999 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(72) 発明者	平川 顯二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
(74) 代理人	弁理士 大胡 典夫
審査官	宮澤 尚之

(56) 参考文献	特開 昭61-59852 (J P, A)
	特開 昭59-214238 (J P, A)
	特開 昭62-269335 (J P, A)
	特開 昭63-181330 (J P, A)

(54) 【発明の名称】 半導体装置の素子間分離領域の形成方法

1

(57) 【特許請求の範囲】

【請求項1】 表面上に絶縁膜が形成された半導体基板を用意する工程と、不純物濃度の異なる第1の半導体領域と第2の領域とで構成される単結晶半導体層を、前記第2の半導体領域より高不純物濃度の前記第1の半導体領域を前記絶縁膜表面に接して形成する工程と、前記単結晶半導体層に異方性食刻法で前記絶縁膜に達する溝を形成する工程と、この溝の形成工程で生じた該溝の内面のダメージ層を除去する工程と、このダメージ層の除去工程後に前記溝の内面に減圧気相成長法により多結晶半導体膜を下部長状部分の表面に曲率を有するように形成する工程と、前工程で形成された前記多結晶半導体膜とこの多結晶半導体膜に接する前記単結晶半導体層とを熱酸化法により酸化して前記溝内に前記絶縁膜に接する下部コーナ一部に応力を緩和する曲率を有するよう酸化膜を

2

形成する工程を具備することを特徴とする半導体装置の素子間分離領域の形成方法。

【発明の詳細な説明】

[発明の目的]

(産業上の利用分野)

本発明は半導体集積回路装置の素子間分離領域の形成方法に関し、特に高速動作回路、高耐圧回路などに使用するものである。

(従来の技術)

10 絶縁膜上に半導体層を形成し、この半導体層にデバイス (Device) を形成する完全誘電体分離技術は、寄生容量の低減による高速動作、高耐圧化更にラッチアップ (Latch Up) を生じないなどの高信頼性などの利点がある。

第1図は完全誘電体分離技術を利用した高速バイポー

## 3

ラ (Bipola) 集積回路の例である。コレクタ (Collector) 領域であるところの  $n$  層104、 $n^+$ 層103は基盤101とは絶縁膜102で、隣接素子とはトレンチアイソレーション (Trench Isolation) の絶縁膜105で分離されており、通常のpn接合により分離された場合よりコレクタ～基盤間の寄生容量が大幅に低減され、回路動作の高速性が得られる。

第2図a～cは完全誘電体分離技術を使用した前記高速バイポーラ型トランジスタのトレンチアイソレーション部分の製造工程を示した断面図である。まずシリコン酸化膜202上に $n^+$ 層203、 $n$ 層204を含んだシリコン (Silicon) 層を第2図aのように形成する。この形成方法にはシリコン酸化膜層202とシリコン層を親水性処理後、接着・熱処理する方法 (特公昭62-27040号公報)、レーザー (Laser) または電子ビーム (Beam) による熔融再結晶化法、 $O^+$ イオン (Ion) を注入し酸化膜層を形成する方法などがある。

次に通常のリソグラフィ (Lithography) 法によりパターンニング (Patterning) したレジスト (Resist) またはシリコン酸化膜205をマスク (Mask) にして $CBrF_3$ などのガス (Gas) を使用した反応性イオンエッチング (Ion Etching) 法などにより異方性の溝206を第2図bに示すように形成する。次に熱酸化することによりトレンチ内壁のシリコン酸化膜207を形成する (第2図c参照)。

(発明が解決しようとする課題)

トレンチコーナー (Corner) 部208、210は酸化時に大きな応力が加わり、酸化膜の薄膜化や、更に結晶欠陥発生の原因になる。この対策として化学的ドライ (Dry) エッチングで上部コーナー部凸部208を削り取り、丸める方法がある。しかしこの時下部コーナー部209は丸まらない。更に下部コーナー部209から発生した欠陥は45°斜め上方向に成長し、表面に達する可能性が大となり、素子の歩留りを大幅に低減させる。本発明はこのような事情により成されたもので、絶縁膜上に形成した単結晶半導体層内に形成する素子間分離にトレンチアイソレーションを使用した場合のトレンチ内壁の酸化膜形成方法に関するもので、トレンチ下部コーナー部から素子表面方向に発達する結晶欠陥を防止することを目的とする。

[発明の構成]

(課題を解決するための手段)

絶縁膜上に形成した単結晶半導体層に異方性食刻法で絶縁膜に達する溝を形成する工程と、前記溝内に減圧気相成長法により多結晶半導体膜を形成する工程と、熱酸化法により多結晶半導体膜とこれに接する単結晶半導体層を酸化し酸化膜を形成する工程に本発明に係わる半導体装置の素子間分離領域の形成方法の特徴がある。

(作用)

絶縁膜上に形成した単結晶半導体層に形成するトレン

## 4

チアイソレーションの内壁に絶縁膜を形成するとき、予め減圧気相成長法により多結晶半導体膜を堆積してコーナーを丸めた後熱酸化膜を形成することにより、絶縁膜に接したトレンチ下部コーナーから表面に発達する結晶欠陥を防止する。

(実施例)

本発明の実施例としてnpn型バイポーラトランジスタの素子分離領域形成工程を第3図の断面図に従って説明する。

10 まず第3図aに示すようにシリコン酸化膜などの絶縁膜302上にコレクタ電極引出し用の $n^+$ 領域303と $n$ 領域304を含む単結晶半導体層を形成する。この形成方法は従来例で示したようにウェーハ (Wafer) 接着技術による方法、レーザーまたは電子ビームによる熔融再結晶法、 $O^+$ イオン注入による酸化膜形成方法など単結晶半導体層303、304の結晶の完全性を低下させない方法であれば良い。

次に通常のリソグラフィ法によりパターンニングしたレジストまたはシリコン酸化膜305をマスクとして、 $CBrF_3$ などのガスを使用した反応性イオンエッチング法などにより素子間分離領域に絶縁膜302に達する溝306を第3図bに明らかにしたように形成する。ウェット (Wet) またはドライエッチングによりポリマー (Polymer) 及びダメージ層を除去後、多結晶シリコン膜307を減圧気相成長法により1000Åから2000Å程度堆積する (第3図c参照)。この時上部コーナー部308のみならず下部コーナー部309のコーナーに曲率をもって堆積される。なお、上部コーナー部308と下部コーナー部309は第3図cと第3図dに点線で書いた丸で表示した。

30 更に900°Cから1000°C程度の温度で水素燃焼法により1000Å以上の熱酸化膜を形成する (第3図d参照)。この時下部コーナー部309、上部コーナー部308には曲率をもったシリコン酸化膜が形成され、特に下部コーナー部309からウェーハ表面に発達する欠陥を防止することができ、素子の歩留りを大幅に上昇させることができる。更に減圧気相成長法による多結晶シリコン膜など311を埋込み、これを酸化シリコン膜312で覆い (第3図e参照)、素子間分離領域が完成する。

[発明の効果]

40 以上の説明から明らかなように、本発明の完全誘電体分離に用いるトレンチアイソレーションの形成方法は、下部絶縁膜に接するコーナー部を容易に丸めることができ、従来このコーナー部から発生しやすかった結晶欠陥を防止することができる。この結晶欠陥は半導体層の表面方向に発達するもので、従来素子歩留り低下の重大原因であったが、これが大幅に改善できる。

【図面の簡単な説明】

第1図は完全誘電体分離法を使用した従来のnpnバイポーラトランジスタの断面図、第2図a～cは従来の素子間分離領域の製造工程を示す断面図、第3図a～eは本

5

6

発明の素子間分離領域の製造工程を示す断面図である。

101、201、301: 半導体基盤、

102、202、302: 絶縁膜、

103、203、303:  $n^+$ 型埋込層、

104、204、304:  $n$ 型コレクタ領域、

205、305: レジストまたはシリコン酸化膜、

206、306: 異方性食刻による溝 (トレンチ)、

105、107、108、207、310、312: シリコン酸化膜、

208、308: トレンチ上部コーナー部、

209、309: トレンチ下部コーナー部、

210: トレンチ下部コーナー部から発生した結晶欠陥、

106、311: 多結晶シリコン膜、

110:  $p^+$ 型グラフトベース領域、

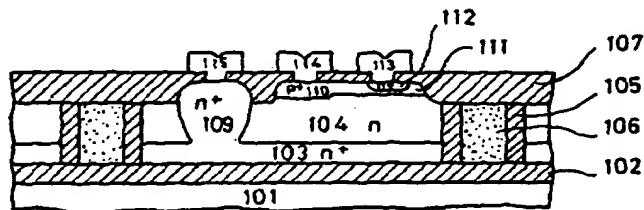
112:  $n^+$ エミッタ領域、

113: エミッタ電極、

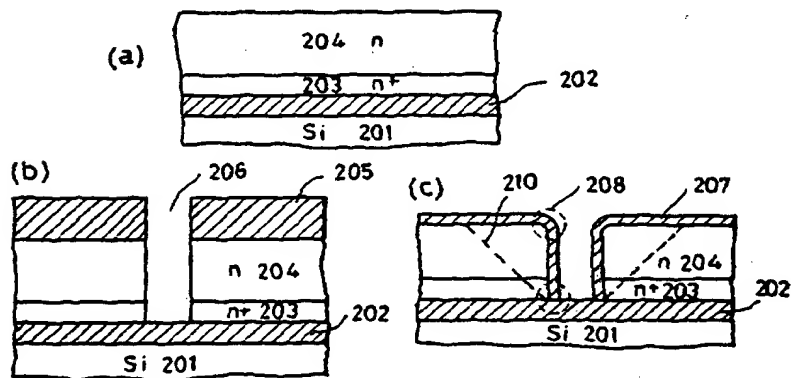
114: ベース電極、

115: コレクタ電極。

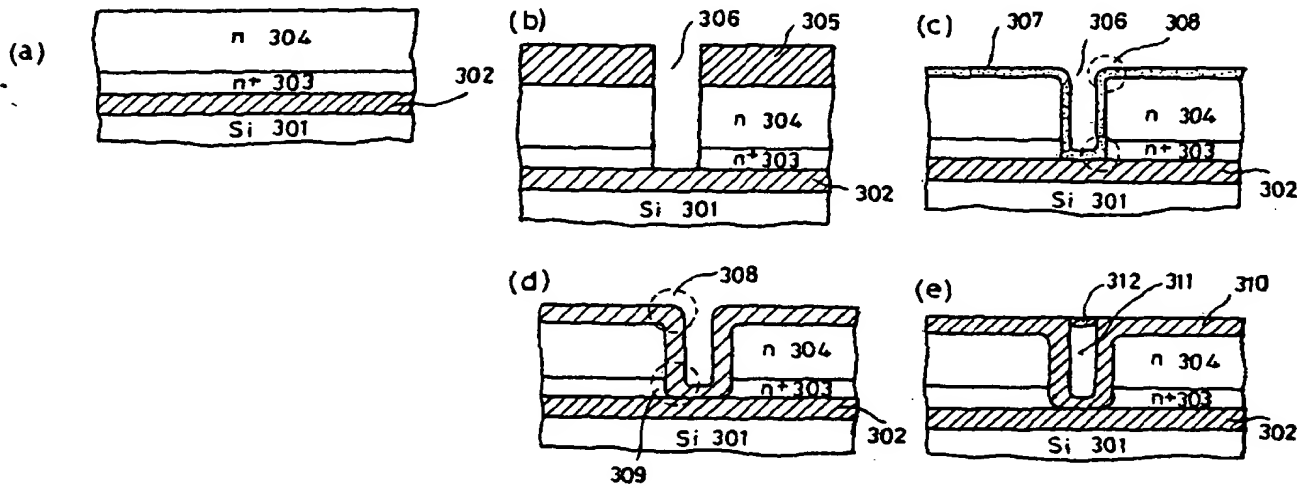
【第1図】



【第2図】



【第3図】



101, 201, 301 : 半導体基板

103, 203, 303 :  $n^+$ 型埋込層

205, 305 : エッチストップ層

105, 107, 108, 207 } : シリコン酸化物膜

209, 309 : トレンチ下部コート部

106, 311 : 多結晶シリコン膜

112 :  $n^+$ エミッタ領域

115 : コレクタ電極

102, 202, 302 : 絶縁膜

104, 204, 304 :  $n$ 型コレクタ領域

206, 306 : 異方性食刻レジスト

208, 308 : トレンチ上部コート部

210 : トレンチ下部コート部形成用結晶膜

110 :  $p$ 型グランドベース領域

113 : エミッタ電極

114 : ベース電極